

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-185582

(43) 公開日 平成9年(1997)7月15日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/42	3 5 0		G 0 6 F 13/42	3 5 0 A
13/36	3 2 0		13/36	3 2 0 A

審査請求 有 請求項の数 4 F D (全 8 頁)

(21) 出願番号 特願平7-354187

(22) 出願日 平成7年(1995)12月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 杉浦 敦子

東京都港区芝五丁目7番1号 日本電気株式会社内

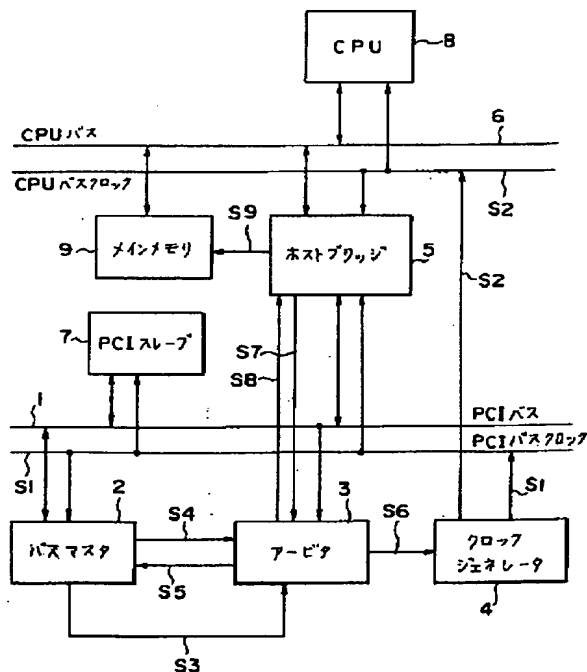
(74) 代理人 弁理士 渡辺 喜平

(54) 【発明の名称】 ローカルバスのクロック制御方式およびクロック制御方法

(57) 【要約】

【課題】 1つ以上のローカルバス、CPUバス、両者のバスブリッジ、CPUクロックとローカルバスクロック用のクロックジェネレータを備え、バスブリッジを介してバス相互間のデータ転送を行い、ローカルバスの転送レートを有効に管理できるクロック制御方式およびクロック制御方法を提供する。

【解決手段】 CPUクロックとローカルバスクロックの中間の周波数となる中間速のクロックを新たに設け、データ転送の相手がCPUバスであれば低速のクロックを、ローカルバスであれば中間速のクロックをローカルバスクロックとする。また、中間速のクロックをバスマスタの最高速度と同一とする。さらに、通常は中間速のクロックとしてCPUバスへのデータ転送のみ低速のクロックに変更する。



Best Available Copy

【特許請求の範囲】

【請求項1】 バスマスタの要求によりアービタがアクセス権を調停する少なくとも1つのローカルバスと、システム全体を統括するCPUによるCPUバスと、ローカルバスとCPUバスのインターフェースを行うバスブリッジと、バスブリッジおよびCPU等に高速の第1周波数のクロックを、バスブリッジおよびバスマスタ等に第1周波数を分周した低速の第2周波数のクロックを各々供給するクロックジェネレータとを備え、第1および第2周波数のクロックによりバスブリッジを介してバス相互間のデータ転送をするコンピュータシステムにおいて、

前記クロックは、第1および第2周波数の中間速であってローカルバス系の各装置に供給する第3周波数のクロックを新たに設け、

前記バスマスタは、データ転送の相手がCPUバスである第1状態か、ローカルバスであって高速な処理を要求する第2状態かを通知する周波数変換要求信号をアービタに送出するものであり、

前記アービタは、この周波数変換要求信号を導入して第1状態であれば第2周波数を、第2状態であれば第3周波数をクロックジェネレータに指定する構成であることを特徴とするローカルバスのクロック制御方式。

【請求項2】 請求項1記載の第3周波数は、バスマスタの有する最高速度と同一のものであるローカルバスのクロック制御方式。

【請求項3】 請求項1記載のアービタは、通常は第3周波数をクロックジェネレータに指定し、CPUバスへのデータ転送である場合にのみ第2周波数を指定するものであるローカルバスのクロック制御方式。

【請求項4】 バスマスタの要求によりアービタがアクセス権を調停する少なくとも1つのローカルバスと、システム全体を統括するCPUによるCPUバスと、ローカルバスとCPUバスのインターフェースを行うバスブリッジと、バスブリッジおよびCPU等に高速の第1周波数のクロックを、バスブリッジおよびバスマスタ等に第1周波数を分周した低速の第2周波数のクロックを各々供給するクロックジェネレータとを備え、第1および第2周波数のクロックによりバスブリッジを介してバス相互間のデータ転送をするコンピュータシステムにおいて、

CPUバスとのデータ転送であるか否かを前記バスマスタにより判定して前記アービタに通知し、

CPUバス以外とのデータ転送である場合にのみアービタによりクロックジェネレータに指定し、第1および第2周波数の中間速であってローカルバス系の各装置に供給する第3周波数をバスブリッジおよびバスマスタ等に供給することを特徴とするローカルバスのクロック制御方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、CPUバスとローカルバスとをバスブリッジロジックによりインターフェースするコンピュータシステムにおいて、ローカルバスのクロック周波数をCPUバスと同期すべく制御する方式に関し、特に、ローカルバスの転送レートを有効に管理できるローカルバスのクロック制御方式に関する。

【0002】

【従来の技術】 従来、システム全体を統括する中央処理装置（以下、CPUという）やキャッシュメモリ等に使用するCPUバスと、これらに従属する入出力回路や周辺回路等に使用するローカルバスを備えるコンピュータシステムにおいては、CPUバスの統括的な処理を妨げることなくローカルバスとの相互間で情報の転送を円滑に行えることが重要であり、このためのデータ転送を効率的に遂行する転送制御の方式が種々提案されている。

【0003】 図3は、特開平5-2552号公報に開示された従来例の構成図である。図3に示す従来例は、CPU110がホストP/Mバス（以下、CPUバスという）を介して3種類の機能ブロック130、140、150と接続して交信する。130は、バスインターフェースブロック（以下、省略してBIBという）であり、マイクロチャネル131に連なる複数のスロット131aや固定ディスク装置用のSCSI制御器131bとのインターフェースになるとともに、他の機能ブロック140、150との通信におけるマスターとして働くマイクロプロセッサを有する。140は、メモリブロック（メモリ及びキャッシュ制御器：PIB）であり、複数のDRAM141やBIOS用のROM142とのアクセスを制御する。また、150は、周辺インターフェースブロック（周辺機器及びビデオグラフィックアレイインターフェース）であり、入出力装置151a～151cや周辺装置152a、152bとのインターフェースとなる。

【0004】 図4は、図3におけるBIBを具体的に示す構成図である。図4に示す従来例のBIB130は、CPUバスインターフェースHPI（ホストP/Mバスインターフェース）132を介してCPUバス120を内部のトランザクションバス134に接続し、このトランザクションバス（以下、ローカルバスという）134にはDMA制御器135と、マイクロチャネル131との通信を仲介するシンクロナイザSYN136を有して構成する。なお、137はマイクロチャネル制御器MCAである。その他の各機能ブロック140、150においても、BIB130と同様にローカルバスを介してそれぞれの下位装置群と交信が行われるため、以下、BIB130を代表例として述べる。

【0005】 次に、この従来例の動作について説明する。通常は、BIB130のローカルバス134では、

データ転送のタイミングをCPUクロックに基づくものとし、自己の機能ブロック内の全てのオペレーションをシステムの1サイクル内で独立に遂行する。CPUバス120では、例えばCPU110がリクエストした転送データの準備をBIB130が完了後、CPU110が次の1サイクルで受け取ることができる。基本的にCPUは、ローカルバス134とのデータ転送にCPUクロックの2サイクル分のみを費やし、その間に必要とする待機状態を短時間に抑えている。

【0006】一方、BIB130は、CPUバス120のアクセス権をCPU110に要求し、CPUバスを複数サイクルにわたり専有して、メモリブロック140との相互間でデータ転送を行うバスマスタとして機能する。その際、BIB130のDMA制御器135は、HIP132とCPUバス120を介してローカルバス134とメモリブロック140を直結し、バーストモードによりデータ転送を連続的に行える。バーストモードは、相互間のデータ転送におけるCPU110の介在が毎回ではないため、通常と比べ一連のデータ転送に要する実効的な速度を短縮する。従って、固定ディスク装置との画像データやり取りの際等に多用される。

【0007】以上、単一のCPUクロックによるデータ転送の制御方式を述べたが、この他に、CPUバス120とローカルバス134で異なるクロックを使用する場合がある。例えば、高速でも高価なCPU素子を使用する高速のCPUバス120に対し、これより遅いが安価な周辺回路素子により構成する低速のローカルバス134からなるコンピュータシステムがある。

【0008】この場合も、高速のCPUバス110と低速のローカルバス134相互間で同期して情報の転送を行う必要があり、CPUバス110の1サイクルにローカルバス134の1サイクルが追従できなくても、CPUバス110の次の1サイクルに合致して同期させる。その際に、同一のクロックジェネレータを兼用して回路の簡素化を図る必要から、CPUバス110のクロックを分周して半分または整数分の一としてローカルバス134用のクロックを形成することもある。

【0009】

【発明が解決しようとする課題】しかし、従来のローカルバスのクロック制御方式を使用して効率的にデータ転送を行おうとする際、次に述べる問題点があった。仮に、CPUバスのクロックが高速CPUに合わせて50MHzであり、ローカルバスのクロックが安価な低速CPU等に合わせて最高33MHzである場合、50MHzを25MHzに分周してローカルバスのクロックとするとバス相互間でのデータ転送の同期はとれるが、ローカルバスのみで処理される通常のオペレーションでも最高速度33MHzを維持できずデバイス性能を有効に引き出せない。

【0010】本発明は、上記の問題点にかんがみてな

れたものであり、ローカルバスの転送レートを有効に管理できるローカルバスのクロック制御方式およびクロック制御方法の提供を課題とする。

【0011】

【課題を解決するための手段】上記の課題を解決するため本発明のローカルバスのクロック制御方式は、バスマスタの要求によりアービタがアクセス権を調停する少なくとも1つのローカルバスと、システム全体を統括するCPUによるCPUバスと、ローカルバスとCPUバスのインターフェースを行うバスブリッジと、バスブリッジおよびCPU等に高速の第1周波数のクロックを、バスブリッジおよびバスマスタ等に第1周波数を分周した低速の第2周波数のクロックを各々供給するクロックジェネレータとを備え、第1および第2周波数のクロックによりバスブリッジを介してバス相互間のデータ転送をするコンピュータシステムにおいて、前記クロックは、第1および第2周波数の中間速であってローカルバス系の各装置に供給する第3周波数のクロックを新たに設け、前記バスマスタは、データ転送の相手がCPUバスである第1状態か、ローカルバスであって高速な処理を要求する第2状態かを通知する周波数変換要求信号をアービタに送出するものであり、前記アービタは、この周波数変換要求信号を導入して第1状態であれば第2周波数を、第2状態であれば第3周波数をクロックジェネレータに指定する構成である。

【0012】上記クロック制御方式によれば、通常、CPUが動作している場合には、同期化によるオーバーヘッド低減のため、ローカルバスクロックとしてCPUクロックを分周したものを使用する。しかし、バスマスタが、データ転送を行うためにローカルバスのアクセス権をアービタに要求するとき、転送相手がローカルバス上のデバイスであることが予め分かれば、アクセス権の要求とともにローカルバスクロックの高速化をアービタに要求する。アービタはローカルバスのアクセス権の調停を行い、バスマスタがアクセス権を獲得した場合に、ローカルバスクロックの高速化をクロックジェネレータに指示する。バスマスタがデータ転送を終了してアクセス権を開放すると、アービタは再び指示して、ローカルバスクロックを元の周波数に復帰させる。

【0013】請求項2記載のローカルバスのクロック制御方式において、第3周波数は、バスマスタの有する最高速度と同一のものである。請求項2記載のクロック制御方式によれば、ローカルバスクロックがバスマスタが働きの最高速度と同一になる。

【0014】請求項3記載のローカルバスのクロック制御方式において、アービタは、通常は第3周波数をクロックジェネレータに指定し、CPUバスへのデータ転送である場合にのみ第2周波数を指定するものである。請求項3記載のクロック制御方式によれば、通常は中間速のローカルバスクロックをアービタによりクロックジェ

ネレータに指示し、CPUバスへのデータ転送である場合にのみ低速のクロックが指示される。

【0015】請求項4記載のローカルバスのクロック制御方法は、バスマスタの要求によりアービタがアクセス権を調停する少なくとも1つのローカルバスと、システム全体を統括するCPUによるCPUバスと、ローカルバスとCPUバスのインターフェースを行うバスブリッジと、バスブリッジおよびCPU等に高速の第1周波数のクロックを、バスブリッジおよびバスマスタ等に第1周波数を分周した低速の第2周波数のクロックを各々供給するクロックジェネレータとを備え、第1および第2周波数のクロックによりバスブリッジを介してバス相互間のデータ転送をするコンピュータシステムにおいて、CPUバスとのデータ転送であるか否かを前記バスマスタにより判定して前記アービタに通知し、CPUバス以外とのデータ転送である場合にのみアービタによりクロックジェネレータに指定し、第1および第2周波数の中間速であってローカルバス系の各装置に供給する第3周波数をバスブリッジおよびバスマスタ等に供給する。

【0016】請求項4記載のクロック制御方法によれば、CPUバスとのデータ転送であるか否かが前記バスマスタにより判定されて前記アービタに通知され、CPUバス以外とのデータ転送である場合にのみアービタによりクロックジェネレータに指定され、第1および第2周波数の中間速であってローカルバス系の各装置に供給する第3周波数がバスブリッジおよびバスマスタ等に供給される。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明による実施形態の構成を説明する構成図である。この実施形態の主要部は、公知のローカルバス1内におけるデータ転送を指令するバスマスタ（PCIマスタ）2と、この指令によりデータ転送の高速化を指定するアービタ3と、この指定によりクロック周波数を変化するクロックジェネレータ4であり、公知のホストブリッジ5を介してCPUバス6相互間でデータ転送を行うコンピュータシステムを構成する。

【0018】ローカルバス1は、例えばPCIバスを採用して1つ以上を設け、ローカルバスクロックS1により動作し、その他、入出力装置や周辺装置等のPCIスレーブ7と接続する。また、CPUバス6は、CPUクロックS2により動作し、他に、システム全体を統括するCPU8およびメインメモリ9と接続する。

【0019】一般に、CPUクロックS2は、高速の第1周波数（例えば50MHz）であってCPUおよびバスブリッジに供給し、また、ローカルバスクロックS1は、第1周波数を分周した低速の第2周波数（例えば25MHz）であってバスマスタおよびバスブリッジに供給する。また、両クロックとも単一のクロックジェネレ

ータ4から発生しており、ローカルバスクロックS1は、ソースとなるCPUクロックのエッジときわめて少ないスキュー差を有する。従って、同期化によるホストブリッジ5内でのオーバーヘッドは十分に抑制される。本発明のクロックジェネレータ4は、この他にも、第1および第2周波数の中間速であってバスマスタ2に供給する第3周波数（例えば33MHz）のクロックをも発生する。

【0020】バスマスタ2は、データ転送の相手がCPUバスである第1状態か、ローカルバスであって高速な処理を要求する第2状態かを通知する周波数変更要求信号S3をアービタ3に送出する。同時に、ローカルバスのアクセス権を要求するため公知のバス要求信号（BREQ）S4をアービタ3に送出し、このアクセスの許可を示す公知のバス許可信号（BGNT）S5をアービタ3から導入する。

【0021】第2状態は、CPUバスから独立したデータ転送であって、ローカルバスのみにより完結することが予め分かっているものであればよく、PCIスレーブ7との間ばかりか、例えば、図示しない他のPCIスレーブ、入出力装置、周辺装置等との間であっても、別のバスブリッジを介して異なるローカルバスに対するものでもよい。

【0022】アービタ3は、周波数変更要求信号S3を導入してバスマスタ2によるアクセス権の獲得を確認し、周波数変更指定信号S6を形成してクロックジェネレータ4に送出する。この周波数変更指定信号S6は、周波数変更要求信号S3が第1状態であれば第2周波数を、第2状態であれば新たな第3周波数を指定する信号である。また、バスマスタ2からのバス要求信号S4とホストブリッジ5からのバス要求信号S7を受け付け、両者によるローカルバス1のアクセス権を調停する点と、調停の結果によりバスマスタ2へのバス許可信号S5を返送するか、またはホストブリッジ5へのバス許可信号S8を返送する点は公知である。

【0023】新たな第3周波数は、第1および第2周波数の中間速であってバスマスタ2、ホストブリッジ5およびPCIスレーブ7等のローカルバス系の各装置に供給するクロックに使用するものである。例えば、バスマスタ2等の各装置が有する最高速度であれば、ローカルバス系において完結する処理を最も効率よく遂行することができる。ホストブリッジ5は、ローカルバス1とCPUバス6のインターフェースであり、CPUクロックを基本的な動作クロックとして、ローカルバスとのデータ転送の際はローカルバスクロックを参照する。また、メインメモリ制御信号S8をメインメモリ9に送出してバーストモードにおけるDMA制御等に使用する。

【0024】次に、この実施形態の動作について述べる。図2は、図1に係る実施形態の動作を説明する流れ図である。図2において、この動作は、CPU8により

50MHzで起動される処理サイクルがPCIスレーブ7へのアクセスであって、ホストブリッジ5を介して25MHzのローカルバス上に波及する場合を一例として説明する。

【0025】 先ず、バスマスタ2は、ローカルバス1上のデータ転送を行うため、バス要求信号S4をアービタ3等に送出してローカルバス1のアクセス権を要求する(ステップ21)。この場合、予めバスマスタ2のアクセス先がPCIスレーブ7であると分かっているか否かを判定し(ステップ22)、分かっている場合(Yes)は、このバス要求信号のアサートと同時に周波数変更要求信号S3をアービタ3に送出し、ローカルバスクロックS1を25MHzから33MHzに高速化することを要求できる(ステップ23)。なお、ステップ20は、ローカルバスにおける直前の処理サイクルである。

【0026】 続いて、アービタ3は、ローカルバス1のアクセス権をバスマスタ2とホストブリッジ5等の間で調停する(ステップ24)。その際、クロックを高速化する要求が出ている場合は、バスマスタ2によるアクセス権の獲得を確認し、クロック変更指定信号S6をクロックジェネレータ4に送出してクロック周波数の変更を指示する。この指示により直ちにクロックジェネレータ4はローカルバスクロックを33MHzに変更し、バスマスタ2はPCIスレーブ7のアクセスを開始する(ステップ25)。バスマスタ2は、このアクセスを終了するとローカルバスの開放をアービタ3に通知し(ステップ26)、アービタ3はローカルバスクロックの33MHzから25MHzへの復帰をクロックジェネレータ4に指定する。

【0027】 次に、バスマスタ2のアクセス先がローカルバス1上の各装置であるか、またはCPUバス6上のメインメモリ9であるか不明の場合(ステップ22のNo)について述べる。この場合に、バスマスタ2は、ローカルバス1のアクセス権を要求するときにクロック変更要求信号S3を送出しない。従って、アービタ3は、このアクセス権の調停はするが、クロックジェネレータ4に周波数変更指定信号S6は送出しない(ステップ27)。つまり、バスマスタ2は、この処理サイクルを25MHzで遂行し、また、これがCPUバス6上のメインメモリ9に対するアクセスであっても正しく同期して完了することができる(ステップ28、29)。なお、ステップ30は、ローカルバス上における次の処理サイクルである。

【0028】 以上、第3周波数を設ける場合について説明したが、第3周波数を複数として、例えば、第4周波数を別の第2のバスマスタ等にも使用してもマルチプロセッサシステムでの第2のCPUに使用して複数種類のローカルバスアクセス間で常に許容最大限の処理速度を維持する構成も可能となる。なお、本発明は前述の実施形態にのみ限定されるものではなく、その他、本発明の要旨を逸脱しない範囲で種々の変更を加え得ることは勿論である。

【0029】

【発明の効果】 以上のように本発明のローカルバスのクロック制御方式およびクロック制御方法には次の効果がある。第1に、CPUバスが高速CPUに合わせて高速のCPUクロックで動作し、ローカルバスが安価な低速CPU等に合わせて中間速のローカルバスクロックで動作する場合、CPUクロックを分周して低速のローカルバスクロックとしてバス相互間でのデータ転送の同期をとっても、ローカルバスのみで処理される通常のオペレーションでは中間速での動作を維持できるため、ローカルバス上のデバイス性能を効率的に引き出すことができる。第2に、その結果、ローカルバス上の転送レートを有効に管理するローカルバスのクロック制御方式およびクロック制御方法の提供をすることができるようになった。

【図面の簡単な説明】

【図1】 本発明による実施形態の構成を説明する構成図である。

【図2】 図1に係る実施形態の動作を説明する流れ図である。

【図3】 特開平5-2552号公報に開示された従来例の構成を示す構成図である。

【図4】 図3におけるBIBを具体的に示す構成図である。

【符号の説明】

- 1・・・ローカルバス
- 2・・・バスマスタ
- 3・・・アービタ
- 4・・・クロックジェネレータ
- 5・・・ホストブリッジ
- 6・・・CPUバス
- 7・・・PCIスレーブ
- 8・・・CPU
- 9・・・メインメモリ

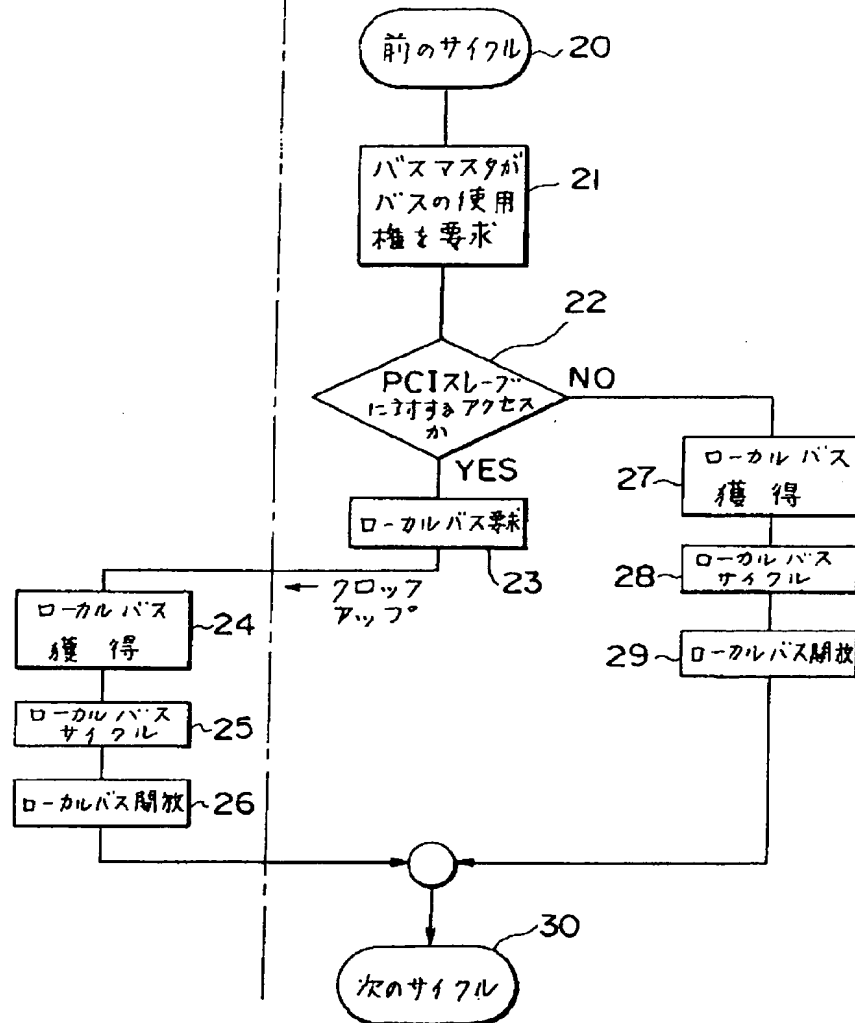
[illegible]

The diagram illustrates the system architecture. A CPU (110) is connected to a host P/M bus (120). This bus is connected to a host P/M interface (132). The host P/M interface (132) is connected to a DMA controller (135) and a sync separator (136). The sync separator (136) is connected to a micro-channel controller (137). The micro-channel controller (137) is connected to a set of micro-channels (131), which are labeled as 131a. The entire system is enclosed in a box labeled 130, with the title 'バスインターフェースブロック' (Bus Interface Block) at the top.

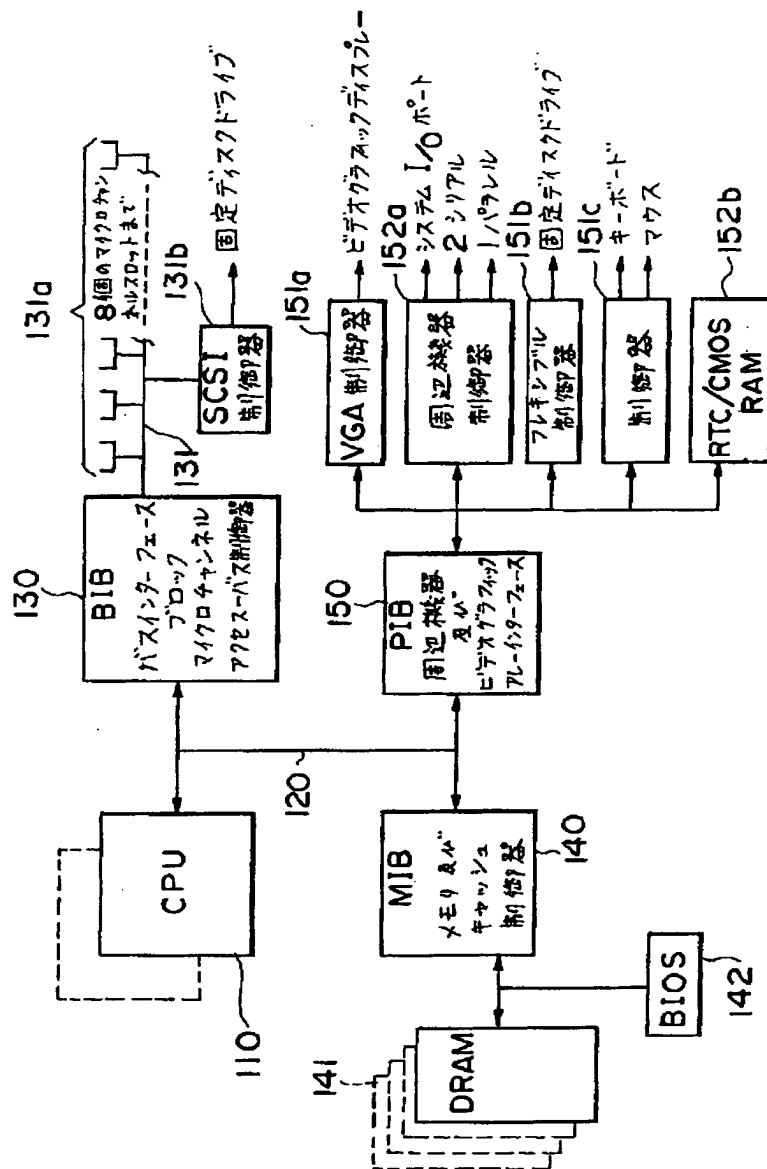
【図2】

ローカルバスクロック
= 33MHz

ローカルバスクロック = 25MHz



【図3】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)